

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2002-112542

(P 2002-112542A)

(43) 公開日 平成14年4月12日 (2002. 4. 12)

(51) Int. Cl. ⁷

識別記号

F I

テーマコード* (参考)

H 0 2 M 3/28

H 0 2 M 3/28

H 5H730

3/335

3/335

W

B

審査請求 未請求 請求項の数 5

O L

(全 5 頁)

(21) 出願番号 特願2000-297973 (P2000-297973)

(22) 出願日 平成12年9月29日 (2000. 9. 29)

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 柳澤 剛

川崎市高津区末長1116番地 株式会社富士
通ゼネラル内

F ターム (参考) 5H730 AA11 BB23 BB82 DD04 EE07

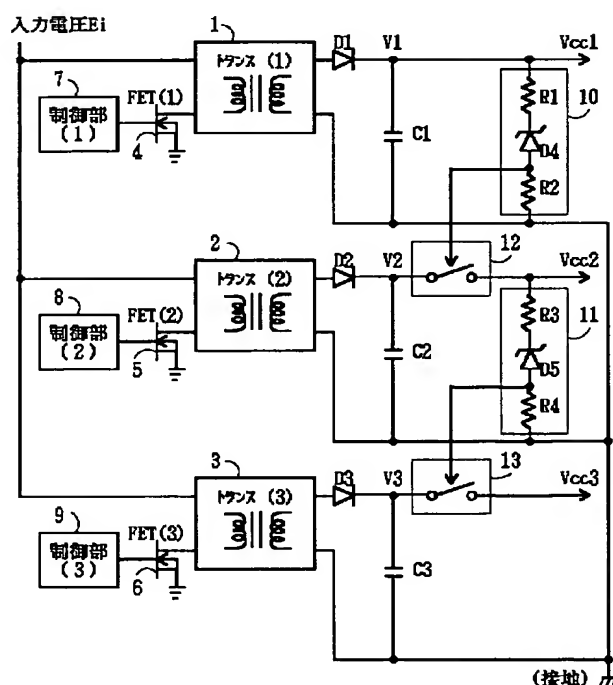
EE18 EE61 FD01 FG01 FG12

(54) 【発明の名称】 電源回路

(57) 【要約】

【課題】 複数の直流電圧発生回路からなり、各直流電圧発生回路を順番に立ち上げるスイッチングレギュレータ方式の電源回路において、直流電圧の立ち上げの制御を2次側回路側のみで処理し、回路構成を簡素化する。

【解決手段】 最初に立ち上げる直流電圧発生回路 (Vcc1) を除く他の直流電圧発生回路 (Vcc2、Vcc3) それぞれの直流電圧出力ラインに、負荷への電源供給をオンオフするオンオフ回路12、同13を設ける。また、前記直流電圧出力ラインの直流電圧の立ち上がりを検出する立ち上がり検出回路10、同11を、最後に立ち上げる直流電圧発生回路 (Vcc3) を除く他の直流電圧発生回路 (Vcc1、Vcc2) それぞれの前記オンオフ回路の後にそれぞれ設ける。そして、検出回路10による検出電圧でオンオフ回路12をオンし、同オンにより検出回路11において検出された検出電圧でオンオフ回路13をオンすることでVcc1~Vcc3を順番に立ち上げる。



【特許請求の範囲】

【請求項 1】 第 1 から第 N の複数の直流電圧発生回路からなる電源回路において、前記第 1 の直流電圧発生回路を除く他の直流電圧発生回路それぞれの直流電圧出力ラインに、負荷への電源供給をオンオフするオンオフ回路を設けるとともに、前記直流電圧出力ラインの直流電圧の立ち上がりを検出する立ち上がり検出回路を、前記第 1 の直流電圧発生回路と、前記第 N の直流電圧発生回路を除く他の直流電圧発生回路それぞれの前記オンオフ回路の後にそれぞれ設け、前記第 1 の直流電圧発生回路の立ち上がり検出回路による検出電圧で第 2 の直流電圧発生回路の前記オンオフ回路をオンし、同オンにより前記第 2 の直流電圧発生回路の立ち上がり検出回路において検出された検出電圧で第 3 の直流電圧発生回路の前記オンオフ回路をオンし、以降同様にして前記第 N の直流電圧発生回路の前記オンオフ回路までを順次オンすることにより前記第 1 の直流電圧発生回路から第 N の直流電圧発生回路までを順番に立ち上げることを特徴とする電源回路。

【請求項 2】 前記オンオフ回路を、前記検出電圧でオンするリレーで構成したことを特徴とする請求項 1 記載の電源回路。

【請求項 3】 前記オンオフ回路を、前記検出電圧でオンするサイリスタ又はトライアックで構成したことを特徴とする請求項 1 記載の電源回路。

【請求項 4】 前記オンオフ回路を、前記検出電圧でオンするトランジスタ又は FET で構成したことを特徴とする請求項 1 記載の電源回路。

【請求項 5】 前記オンオフ回路を、前記検出電圧でオンする IGBT (絶縁ゲート形バイポーラトランジスタ) で構成したことを特徴とする請求項 1 記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電源回路に係り、より詳細には、複数の直流電圧発生回路からなる電源回路において、各直流電圧発生回路を順番に立ち上げるシーケンス制御に関する。

【0002】

【従来の技術】負荷回路の構成により複数種類の直流電圧を必要とし、かつ、これら複数種類の直流電圧が順番に立ち上がることが必要とされる場合がある。図 3 は例えば PDP (プラズマディスプレイパネル) 搭載の映像表示装置等に使用される従来におけるスイッチングレギュレータ方式の電源回路の一例を示す要部回路図であり、3 種類の直流電圧 (Vcc1、Vcc2、Vcc3) を発生するようにしたものである。これら Vcc1、Vcc2 及び Vcc3 がそれぞれ負荷回路へ供給される。同図において、11、12 及び 13 は直流電圧 Ei を共通入力としたスイッチングレギュレータ電源回路を形成するトランス、14、15 及び 16 はス

イッチング用の FET (電界効果トランジスタ)、17、18 及び 19 は前記各 FET (14、15、16) のスイッチング動作を制御する制御部である。なお、上記各トランス 14、15、16 の各 FET 側が 1 次側回路、直流電圧 (Vcc1、Vcc2、Vcc3) 側が 2 次側回路となる。各トランス (11、12、13) の 2 次側からは所定周波数の交流電圧が出力し、同交流電圧をそれぞれダイオード D11、D12 又は D13 で整流し、コンデンサ C11、C12 又は C13 で平滑し、所定電圧の直流電圧 Vcc1、Vcc2、Vcc3 を得ている。

【0003】また、直流電圧 Vcc1、Vcc2 の出力ラインと接地間には図示のように検出回路 20、21 が設けられ、Vcc1、Vcc2 の電圧立ち上がりを検出している。これら検出回路 20、21 は図示のように抵抗 (R11、R12 等) とツェナーダイオード (D14 等) の直列回路からなり、所定の電圧まで立ち上がったときに検出電圧として出力する。この検出電圧は抵抗 R12 又は抵抗 R14 の両端電圧であり、その発生タイミングは主にツェナーダイオード D14 又は同 D15 のツェナー電圧で設定する。また、上記検出電圧を 1 次側回路へ戻すためのフォトカプラ 22、23 が設けられ、それぞれ制御部 18 又は同 19 のスイッチング動作制御の開始タイミングを設定している。上記構成により、最初に直流電圧 Vcc1 が立ち上がり、その立ち上がり検出回路 20 で検出され、その検出電圧がフォトカプラ 22 を介して制御部 18 に入力し、同入力によりスイッチング動作が開始されて直流電圧 Vcc2 が立ち上がる。この立ち上がり検出回路 21 で検出され、その検出電圧がフォトカプラ 23 を介して制御部 19 に入力し、同入力によりスイッチング動作が開始されて直流電圧 Vcc3 が立ち上がる。これにより、Vcc1→Vcc2→Vcc3 の順番で直流電圧が立ち上がることとなる。しかし、図 3 の場合、上記説明のように、直流電圧の立ち上げ制御が 1 次側回路と 2 次側回路との双方にまたがる構成のため、回路構成が複雑になるという欠点があった。

【0004】

【発明が解決しようとする課題】本発明は上記欠点に鑑み、直流電圧の立ち上げ制御を 2 次側回路側のみで処理するようにした電源回路を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、第 1 から第 N の複数の直流電圧発生回路からなる電源回路において、前記第 1 の直流電圧発生回路を除く他の直流電圧発生回路それぞれの直流電圧出力ラインに、負荷への電源供給をオンオフするオンオフ回路を設けるとともに、前記直流電圧出力ラインの直流電圧の立ち上がりを検出する立ち上がり検出回路を、前記第 1 の直流電圧発生回路と、前記第 N の直流電圧発生回路を除く他の直流電圧発生回路それぞれの前記オンオフ回路の後にそれぞれ設け、前記第 1 の直流電圧発生回路の立ち上がり検出回路による検出電圧で第 2 の直流電圧発生回路の前記オンオフ回路をオンし、同オンにより前記第 2 の直流電圧発生回路の

立ち上がり検出回路において検出された検出電圧で第3の直流電圧発生回路の前記オンオフ回路をオンし、以降同様に前記第Nの直流電圧発生回路の前記オンオフ回路までを順次オンすることにより前記第1の直流電圧発生回路から第Nの直流電圧発生回路までを順番に立ち上げる電源回路を提供するものである。

【0006】また、前記オンオフ回路を、前記検出電圧でオンするリレーで構成する。

【0007】または、前記オンオフ回路を、前記検出電圧でオンするサイリスタ又はトライアックで構成する。

【0008】または、前記オンオフ回路を、前記検出電圧でオンするトランジスタ又はFETで構成する。

【0009】または、前記オンオフ回路を、前記検出電圧でオンするIGBT（絶縁ゲート形バイポーラトランジスタ）で構成する。

【0010】

【発明の実施の形態】以下、発明の実施の形態を実施例に基づき図面を参照して説明する。図1は本発明による電源回路の一実施例を示す要部回路図であって、図3と同様にスイッチングレギュレータ方式の電源回路であり、3種類の直流電圧（Vcc1、Vcc2、Vcc3）を発生するようにしたものである。これらVcc1、Vcc2及びVcc3が負荷回路へ供給される。また、図2はオンオフ回路の構成例を示す図である。図1において、1、2及び3は直流電圧Eiを共通入力としたスイッチングレギュレータ電源回路を形成するトランス、4、5及び6はスイッチング用のFET（電界効果トランジスタ）、7、8及び9は前記各FET（4、5、6）のスイッチング動作を制御する制御部である。なお、上記各トランス4、5、6のFET側が1次側回路、直流電圧（Vcc1、Vcc2、Vcc3）側が2次側回路である。また、各制御部8、9は図3の場合と異なり、制御部7と同様に独自にスイッチング制御を開始するようにする。

【0011】各トランス（1、2、3）の2次側からは所定周波数の交流電圧が出力し、同交流電圧をそれぞれダイオードD1、D2又はD3で整流し、コンデンサC1、C2又はC3で平滑し、所定電圧の直流電圧Vcc1、Vcc2、Vcc3を得る。また、直流電圧Vcc1、Vcc2の出力ラインと接地間には図示のように検出回路10、11が設けられ、Vcc1、Vcc2の電圧立ち上がりを検出している。これら検出回路10、11は図示のように抵抗（R1、R2等）とツェナーダイオード（D4等）の直列回路からなり、所定の電圧まで立ち上がったときに検出電圧として出力する。この検出電圧は抵抗R2又は同R4の両端電圧であり、その発生タイミングは主にツェナーダイオードD4又は同D5のツェナー電圧で設定する。または、図示しないが、抵抗R2及び抵抗R4それぞれと並列にコンデンサを設け、同コンデンサと抵抗R2（又は抵抗R4）との時定数を上記ツェナー電圧と併せ発生タイミング設定の要素としてもよい。また、12は直流電圧Vcc2の出力をオンオフするオンオフ回路であ

り、前記検出回路10よりの検出電圧でオンする。

【0012】また、13は直流電圧Vcc3の出力をオンオフするオンオフ回路であり、前記検出回路11よりの検出電圧でオンする。上記オンオフ回路の構成例を図2（a）～（f）に示す。なお、同図は検出回路10によるオンオフ回路12について描いたものであるが、オンオフ回路12についても同構成である。同図（a）はリレーであり、検出電圧による電流でリレーのSW（スイッチ）オンする。また、同図（b）はサイリスタであり、検出電圧でゲート（G）オンし、アノード（A）とカソード（K）間をオン状態にする。また、同図（c）はトライアックであり、検出電圧でゲート（G）オンし、アノード（A）とカソード（K）間をオン状態にする。また、同図（d）はトランジスタ（NPN形）であり、ベース（B）に印加する検出電圧でコレクタ（C）とエミッタ（E）間をオン状態にする。また、同図（e）はFET（MOS形等）であり、ゲート（G）に印加する検出電圧でドレイン（D）とソース（S）間をオン状態にする。

【0013】また、同図（f）はIGBT（絶縁ゲート形バイポーラトランジスタ）であり、ゲート（G）に印加する検出電圧でコレクタ（C）とエミッタ（E）間をオン状態にする。上記構成により、最初に直流電圧Vcc1が立ち上がって負荷に対し出力される一方、その立ち上がり検出回路10で検出され、その検出電圧でオンオフ回路12がオンし、これにより直流電圧Vcc2が負荷に対し出力されることとなる。また、上記オンオフ回路12のオンによる上記直流電圧Vcc2の出力が検出回路11で検出され、その検出電圧でオンオフ回路13がオンし、これにより直流電圧Vcc3が負荷に対し出力されることとなる。これにより、Vcc1→Vcc2→Vcc3の順番で直流電圧が立ち上がり、負荷に対し出力されることとなる。なお、以上説明の図1は直流電圧をVcc1、Vcc2及びVcc3の3系統としたものであるが、4系統以上の構成であっても順番に直流電圧を立ち上げることができることは容易に理解できる。

【0014】

【発明の効果】以上説明したように本発明によれば以下のような効果を奏する。即ち、スイッチングレギュレータ方式の電源回路のように、1次側回路と2次側回路とからなり、また、負荷回路の構成により複数種類の直流電圧を必要とし、かつ、これら複数種類の直流電圧が順番に立ち上がることが必要とされる電源回路において、従来、上記複数種類の直流電圧の立ち上げの制御を1次側回路と2次側回路との双方にまたがる複雑な構成としていたのに対し、本発明では2次側回路側のみで処理可能な構成となり、回路構成が簡素化されることとなる。また、図1の電源回路を電源オフした場合、コンデンサC1、C2、C3にはチャージ電圧が残存するが、例えばPDP（プラズマディスプレイパネル）駆動用の直流電源の

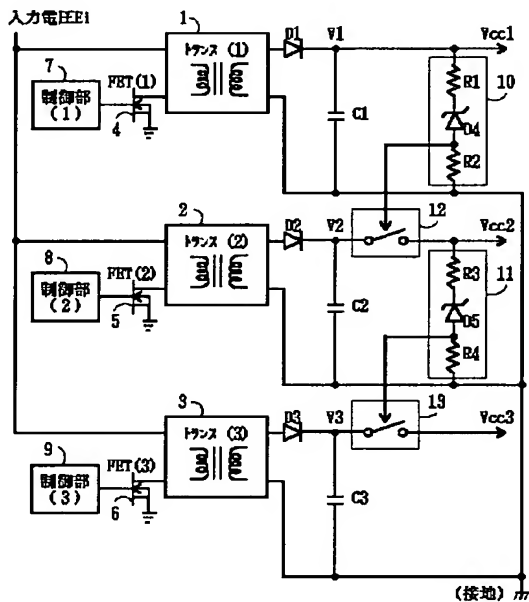
ように、負荷によっては電源オフ後には直ちに直流電圧の供給を断つて欲しい場合がある。そのため従来においては、上記コンデンサに残存しているチャージ電圧を強制放電させる放電回路を設けておき、電源オフと連動してこの放電回路をオンし、強制的に放電させるようにしていた。しかし、本発明においては電源オフによりオンオフ回路が開き、負荷への電圧供給が直ちに停止するので上記のような放電回路が不要となり、回路が簡素化されることとなる。

【図面の簡単な説明】

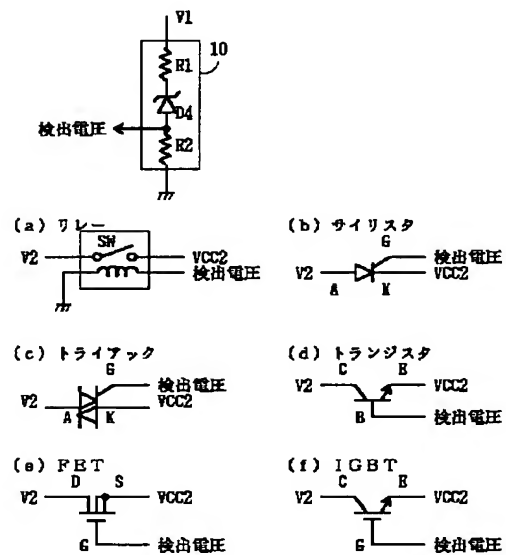
【図 1】 本発明による電源回路の一実施例を示す要部回路図である。

【図 2】 図 1 におけるオンオフ回路の構成例を示す図である。

【図 1】



【図 2】



【図 3】 従来の電源回路の一例を示す要部回路図である。

【符号の説明】

- 1、2、3、11、12、13 トランス
- 4、5、6、14、15、16 FET
- 7、8、9、17、18、19 制御部
- 10、11、20、21 検出回路
- 12、13 オンオフ回路
- R1、R2、R3、R4、R11、R12、R13、R14 抵抗
- 10 D1、D2、D3、D11、D12、D13 ダイオード
- D4、D5、D14、D15 ツェナーダイオード
- C1、C2、C3、C11、C12、C13 コンデンサ
- 22、23 フォトカプラ

【図 3】

